



RISC-V

vragen, antwoorden, ... en Embedded World 2020



Calista Redmond is CEO van de RISC-V stichting.

Nieuwsgierig naar zowel de basis als het laatste nieuws over het RISC-V (spreek uit: "risk five") ecosysteem, stuurde Elektor Industry een vragenlijst naar RISC-V-oprichters en leden zoals Impresas, CloudBEAR en Syntacore, en niet te vergeten de Stichting RISC-V zelf. Hun antwoorden zouden iedereen moeten interesseren die op zoek is naar methoden en tools om een licentievrije ISA in hun product te implementeren met behulp van embedded technologie.

De Stichting RISC-V

Wat is RISC-V en wat is de rol van de Stichting bij het bevorderen van RISC-V?

RISC-V is een vrije en open instructieset-architectuur (ISA) die een nieuw tijdperk van processorinnovatie mogelijk maakt door middel van open standaard samenwerking. De RISC-V ISA is geboren in de academische wereld en onderzoek en levert een nieuw niveau van vrije, uitbreidbare software- en hardwarevrijheid op het gebied van architectuur, waarmee de weg wordt vrijgemaakt voor de komende 50 jaar van computerontwerp en -innovatie. De rol van de RISC-V Foundation is om een open, collaboratief ecosysteem van software- en hardware-innovators op te bouwen en tegelijkertijd de toekomstige ontwikkeling en adoptie van de RISC-V ISA te sturen. Onze topprioriteit is het aansturen van de technische samenwerking om een breed en diep ecosysteem van RISC-V-uitbreidingen, -hulpmiddelen en -middelen mogelijk te maken om de adoptie te versterken. De Stichting biedt verschillende programma's aan om het succes van de leden en de adoptie van RISC-V te ondersteunen. Deze programma's omvatten onderwijs, belangenbehartiging voor ontwikkelaars, zichtbaarheid van de vooruitgang, nalevingskaders en een online forum om het aanbod te laten zien. Om de gemeenschap samen te brengen organiseert de RISC-V Foundation elk jaar meerdere wereldwijde evenementen om actuele en toekomstige RISC-V-projecten en -implementaties, commerciële en open-source-implementaties, software en silicium, vectors en beveiliging, toepassingen en versnellers, simulatie-infrastructuur en nog veel meer te bespreken. We promoten ook actief onafhankelijk gehoste Meetups en evenementen rond RISC-V. Ons doel is om organisaties, individuen en enthousiastelingen over de hele wereld te stimuleren om zich bij ons ecosysteem aan te sluiten en samen een nieuw tijdperk van processorinnovatie mogelijk te maken door middel van open standaard samenwerking.

Waarom is RISC-V zo interessant voor zoveel verschillende bedrijven?

De RISC-V ISA biedt verschillende voordelen, zoals openheid, eenvoud, clean design, modulariteit, uitbreidbaarheid en stabiliteit. Hieronder vindt u de voordelen van RISC-V die bedrijven stimuleren zich aan te sluiten bij ons ecosysteem.

- Ontsluit de architectuur en maakt innovatie mogelijk. RISC-V is een gelaagde en uitbreidbare ISA, zodat bedrijven eenvoudig de minimale instructieset, goed gedefinieerde uitbreidingen en aangepaste uitbreidingen kunnen implementeren, om aangepaste processoren te creëren voor geavanceerde workloads.
- Vermindert risico's en investeringen, door bedrijven in staat te stellen gebruik te maken van gevestigde en gemeenschappelijke IP-bouwstenen met de groeiende set gedeelde tools en ontwikkelingshulpmiddelen van de ontwikkelgemeenschap.
- Biedt de flexibiliteit om duizenden zelfontworpen processoren te creëren. Aangezien de implementatie niet op ISA-niveau wordt gedefinieerd, maar door de samenstelling van de SoC- en andere ontwerptributen, kunnen engineers hun ontwerpen groot, klein, krachtig of licht te maken.
- Verkort de time-to-market door samenwerking en open source IP-hergebruik. RISC-V vermindert niet alleen de ontwikkelkosten, maar stelt bedrijven ook in staat om hun ontwerpen sneller op de markt te brengen.

“ Invloed van RISC-V-aanpassingsvermogen op de SoC-verificatiemethoden. ”

Wat kunnen we in de toekomst van RISC-V verwachten?

Het RISC-V-ecosysteem staat op het punt om de komende vijf jaar aanzienlijk te groeien. Semico Research voorspelde dat de markt in 2025 in totaal 62,4 miljard RISC-V-processors (CPU's) zal bedragen, waarbij de industriële sector naar verwachting het grootste segment zal zijn met 16,7 miljard cores. Tegen die tijd kijken we uit naar veel nieuwe soorten RISC-V-implementaties, waaronder innovatieve consumentenapparatuur, industriële toepassingen, hoogwaardige computertoepassingen en nog veel meer.

Imperas

Wat laat je zien op Embedded World 2020?

Imperas presenteert op de Embedded World 2020-conferentie twee technische documenten over RISC-V-verificatiemethoden en virtuele platforms voor gemengde veiligheidskritische systemen. Op onze demonstraties en presentatie op de RISC-V stand (Hal 3a-536) zullen de RISC-V processor en uitbreidingsverificatiemethoden, de aangepaste instructieanalyse en de SoC architectonische analyse van vele core-ontwerpen met behulp van virtuele platforms worden getoond.

Zijn er nieuwe ontwikkelingen ten opzichte van het evenement van vorig jaar?

Imperas steunt de stand van de Stichting RISC-V in 2020 opnieuw, samen met 14 andere leden, wat een toename is ten opzichte van de 7 supporters in 2019. Deze groei weer-

spiegelt niet alleen de extra leden in de afgelopen 12 maanden, maar ook de erkenning van het potentieel voor RISC-V voor de industrie en het belang van de tentoonstellingen en de conferentie op Embedded World in Neurenberg. Nieuw voor Imperas dit jaar is onze steun voor de RISC-V ontwerp-specificaties voor Bit Manipulatie en Vectoren uitbreidingen. We zullen ook de laatste ontwikkelingen op het gebied van RISC-V-verificatie en tools publiceren in de ontwerpstromen voor custom instructies laten zien.

Wij zijn ons ervan bewust dat de RISC-V ISA-set licentievrij gebruikt kan worden. Zijn er nog andere –bijvoorbeeld technische– voordelen, in vergelijking met andere ISA's?

De RISC-V ISA is een open standaard en deze openheid maakt implementaties zeer flexibel en configureerbaar, samen met de optimalisatie van maatwerk uitbreidingen en instructies. Maar als standaard is het echte voordeel de community-activiteiten binnen de RISC-V stichting om de toekomstige functionaliteit te ontwikkelen en te verbeteren. Hierdoor kunnen leden actief deelnemen aan de volgende generatie uitbreidingen voor Bit Manipulatie en Vectorinstructies. Vanuit een ecosysteem perspectief maakt de ingebouwde ondersteuning voor de flexibiliteit van RISC-V het mogelijk om de basisconfiguraties en -uitbreidingen compatibel te maken en te hergebruiken, terwijl tegelijkertijd de toevoeging van aangepaste instructies en uitbreidingen wordt ondersteund. Het ecosysteem van tools en software is essentieel voor de adoptie van elke ISA. In het geval van RISC-V heeft de RISC-V Foundation de weg gebaad door een groot aantal leden bij elkaar te brengen en de inherente flexibiliteit te ondersteunen die RISC-V biedt. De technologie en de specificaties zijn duidelijk belangrijk, maar het is het ecosysteem dat de adopters van RISC-V echt zal ondersteunen.

Wat was uw motivatie om lid te worden van het RISC-V ecosysteem?

Imperas code morphing simulatietechnologie, virtuele platforms en tools worden door toonaangevende klanten gebruikt voor vroege softwareontwikkeling en architectonische verkenning op hoog niveau. We ondersteunen meer dan 12 ISA's, we hebben met alle toparchitecturen gewerkt en onze virtuele platformen helpen de complexiteit van softwareontwikkeling en hardwareverificatie in complexe multi-core ontwerpen. Veel projecten zijn heterogeen en onze eerste interesse was dat RISC-V door klanten werd gebruikt in een begeleidende rol, die zich snel ontwikkelde tot arrays van minion cores. RISC-V is echter anders dan eerdere ISA's, omdat de flexibiliteit en configureerbaarheid zijn ingebouwd in de basisstructuur. Om het succesvol en gemakkelijk te kunnen gebruiken is het dus van vitaal belang dat het ecosysteem komt met aanpasbare oplossingen die de flexibiliteit van RISC-V ondersteunen. Het Imperas-bedrijfsmodel moet de snelste en meest hoogwaardige simulator bieden die kan worden gebruikt voor softwareontwikkeling en ook voor hardware tape-out verificatie. De meeste van onze modellen en platforms worden geleverd in bronvorm. Oorspronkelijk werd deze flexibiliteit gebruikt om processorrandapparatuur aan te passen, maar met RISC-V is het een ideale benadering om de flexibele configuratie, aangepaste instructies en uitbreidingen te ondersteunen.

Draagt u ook bij aan technische aspecten?

Imperas levert een actieve bijdrage aan de werkgroep Compliance van de Stichting RISC-V en heeft in november 2019 de bijdrage van de hoogste kwaliteit compliance-suite voor RISC-V RV32I aangekondigd. Dit bouwt voort op onze release van een gratis single-core referentiemodel, riscvOVPSim, beschikbaar op GitHub.

We ondersteunen ook actief de werkgroepen Bit Manipulatie en Vectoren en kondigden de eerste levering van een vector-model aan om klanten te leiden in 2019.

“ Een ander nieuw item is volledige Debian, gehost op de Linux-capabele Octa-core SCR7 gebaseerde setup.

”

Voor andere processorarchitecturen zijn kritische problemen en bugs gemeld. Is RISC-V veiliger en zo ja, op welke gronden?

Processoren behoren waarschijnlijk tot de meest complexe machines die ooit zijn ontwikkeld, maar de verificatie van processoren was tot voor kort een interne vaardigheid die rond de bekende en gesloten ISA's is ontwikkeld. Met RISC-V onderzoeken ontwikkelaars nu de flexibiliteit van de configuratie en optimalisaties met behulp van op maat gemaakte instructies. In de traditionele one-size-fits-all aanpak kan een op prestatie gerichte ontwerptechniek onbedoelde gevolgen hebben voor toepassingen waar hoge betrouwbaarheid of gemengde veiligheid vereist zijn. Met RISC-V kunnen ontwikkelaars nu de processor configureren voor de ideale balans van eisen.

Op Embedded World 2020 zal Imperas een technisch document presenteren over het gebruik van virtuele platforms voor gemengde kritieke veiligheidssystemen, gebaseerd op ons werk binnen het Horizon 2020 SafePower-project.

Verkoperspecifieke instructies zijn een belangrijk kenmerk van RISC-V. Vormt de flexibiliteit van RISC-V een verplichting?

Terwijl de traditionele of gesloten ISA's uit het verleden vaste configuraties en implementaties hadden, maakt de RISC-V open ISA implementaties mogelijk met zowel microarchitecturale kenmerken als aangepaste uitbreidingen en instructies. Dit biedt een grotere flexibiliteit voor optimalisaties die inspelen op de behoeften en vereisten van domeinspecifieke aangepaste apparaten. Zoals bij elk complex ontwerp zijn de verificatie-eisen van het grootste belang en is de Compliance-werkgroep van de RISC-V Foundation een goed uitgangspunt. De openheid en flexibiliteit van RISC-V biedt de DV-teams echter een aantal nieuwe uitdagingen en op Embedded World 2020 zullen we een technisch document presenteren met een update van de verificatiemethoden op basis van de Google random instruction stream generator en ons referentiemodel om een aantal unieke en moeilijk te dekken situaties te behandelen.

Wat voor soort producten bieden jullie aan ter ondersteuning van RISC-V?

Imperas heeft een referentiemodel van RISC-V ontwikkeld dat alle optionele configuraties en de nieuwste ontwerp-specificaties voor Bit Manipulatie- en Vector-uitbreidingen omvat. Samen met onze verificatie- en analysetools ontwerpen onze klanten RISC-V-implementaties, ontwikkelen ze aangepaste extensies en SoC-ontwerpen met meerdere clusters van processorkernen. We hebben het referentiemodel, riscvOVPSim, uitgebracht op GitHub met gratis gebruik voor commerciële en academische gebruikers, meer details zijn beschikbaar op www.imperas.com/imperas-riscv-solutions.

Zijn er plannen om deze in de toekomst uit te breiden?

De ontwerp-specificatie voor Vectorinstructies zal naar verwachting in 2020 worden geratificeerd, dit is een grote kans voor processorontwikkelaars om de eisen voor geavanceerde ML (machine learning) en AI (artificial intelligence) toepassingen aan te pakken. De RISC-V Vectoruitbreidingen zijn ontworpen om complexe rekenkundige bewerkingen te ondersteunen die nodig zijn voor toepassingen met lineaire algebra, zoals supercomputers, cryptografie, AI, ML en deep learning (DL). Een traditionele of scalaire ISA is gebaseerd op bewerkingen op afzonderlijke data-items, een Vectorprocessor werkt over een reeks data-items die een versnelling van de belangrijkste rekenwerklust mogelijk maakt. Met behulp van Imperas-modellen en -hulpmiddelen kunnen systeemontwerpers geavanceerde SoC-architectuuranalyses van veel kernontwerpen evalueren met behulp van virtuele platforms en volledige softwaretoepassingsworkloads met echte datasets, in plaats van beperkte benchmarks of testcases met kleine voorbeelden.

Welke richting wilt u met RISC-V opgaan?

De open ISA van RISC-V is een goed uitgangspunt voor innovatie en toekomstige ontwikkeling, maar het is meer dan een specificatie. De RISC-V Foundation vertegenwoordigt de gemeenschap van leden uit alle aspecten van het ecosysteem, van de leveranciers van tools, OS en software, IP-kernen en siliciumleveranciers, tot academische en commerciële adopters. Samenwerking zal het kenmerk van RISC-V zijn bij het samenbrengen van deskundigen uit de hele industrie in de geest van constructieve steun en wederzijdse efficiëntie. Met een gezonde concurrentie op het gebied van oplossingen zullen RISC-V-gebruikers enorm profiteren van de innovaties en flexibiliteit van RISC-V. De toekomst van RISC-V wordt vormgegeven binnen het door de gemeenschap gestuurde ecosysteem.

CloudBEAR

Wat laat je zien op Embedded World 2020?

CloudBEAR is het SoC-prototype van de applicatieprocessor op basis van onze BI-671-cores.

Zijn er nieuwe ontwikkelingen ten opzichte van het evenement van vorig jaar?

We zijn van plan om nieuwe BR-serie cores te introduceren op EW2020 die gericht zijn op high-performance embedded applicaties.

We zijn ons ervan bewust dat de RISC-V ISA set licentievrij gebruikt kan worden. Zijn er nog andere voordelen, zoals technische voordelen, in vergelijking met andere ISA's?

Ontwerpen vanuit scratch. Mogelijkheid om vanaf het begin te standaardiseren.

Wat was uw motivatie om toe te treden tot het RISC-V ecosysteem?

Royalty-vrije ISA en een geweldig software-ecosysteem.

“ Virtual Platform Based Development Environments voor Low Power, Mixed Level Safety Critical Systems. ”

Draagt u ook bij aan technische aspecten?

Meestal patches naar open source software voor RISC-V.

Voor andere processorarchitecturen zijn kritische problemen en bugs gemeld. Is RISC-V veiliger en zo ja, op welke gronden?

Al sinds het standaardisatieproces gaande is, is RISC-V doorlopend met deze problemen bezig en veel van deze bedreigingen zullen in ontwerpen worden meegenomen.

Verkopersspecifieke instructies zijn een belangrijk kenmerk van RISC-V. Vormt de flexibiliteit van RISC-V een verplichting?

Het kan leiden tot versnippering, maar de meeste fabrikant-specifieke instructies zijn gericht op de workload in specifieke domeinen.

Wat voor producten bieden jullie ter ondersteuning van RISC-V?

Processor-IP-kernen op basis van RISC-V van microcontrollers tot hoogwaardige buitendienststellingen.

Zijn er plannen om deze in de toekomst uit te breiden?

Nieuwe ISA-uitbreiding en meer functies toevoegen aan bestaande kernreeksen.

Welke richting wil je dat RISC-V opgaat?

Verbeter nieuwe uitbreidingen voor bepaalde opkomende markten zoals AI.

Syntacore

Wat laat je zien op Embedded World 2020?

Syntacore, als toonaangevende leverancier van de RISC-V-compatibele processor IP en bijbehorende diensten, toont verschillende live demo's, gebaseerd op onze IP. Deze omvatten productiesiliciummonsters, een voor Linux geschikt Octa-core

RV64GC-systeem met volledige Debian en voorbeelden van SDK's – die samen met onze commerciële tools-partners worden gepresenteerd.

Zijn er nieuwe ontwikkelingen ten opzichte van het evenement van vorig jaar?

Ja, we demonstreren klanten silicium, gebaseerd op onze zeer populaire open-source SCR1-kern, die nu in een volledige wafer-productie is. Een ander nieuw item is volledige Debian, gehost op de Linux-capabele Octa-core SCR7 gebaseerde setup. Volgens ons is dit de eerste publieke RISC-V Octa-core SMP Linux systeemdemonstratie.

We zijn ons ervan bewust dat de RISC-V ISA-set licentievrij gebruikt kan worden. Zijn er nog andere voordelen zoals technische voordelen, in vergelijking met andere ISA's?

Naar onze mening zijn de meeste voordelen op dit moment nog steeds organisatorisch van aard. Met andere woorden, deze ISA is uitbreidbaar en industriegeïnduceerd.

Sterker nog, vanaf 2019 kan het RISC-V ecosysteem al een solide basis hebben in stabiele en door de RISC-V Foundation geratificeerde standaard ISA-specificaties. Dat legt een solide basis en basisverzekeringen voor een brede commerciële adoptie en verdere ontwikkeling van ISA. Aan de technische kant is de basis van RISC-V ISA, zoals uit meerdere studies is gebleken, van hoge kwaliteit en biedt het een goede basis voor zeer concurrerende implementaties. Er zijn meerdere lopende ontwikkelingen van verdere standaarduitbreidingen, waarvan sommige zeer interessant (en onderscheidend) zijn, – en al deze informatie is open, terwijl ze in ontwikkeling zijn!

Wat was uw motivatie om toe te treden tot het RISC-V ecosysteem?

Syntacore is mede-oprichter van de Stichting RISC-V, wat betekent dat we er vanaf het begin bij waren. Voor een bedrijf als wij, dat aanpasbare CPU's biedt, is zo'n open ecosysteem een perfecte omgeving voor onze technologie.

Draagt u ook bij aan technische aspecten?

Ja, dat doen we - we zitten in een technisch comité en dragen bij in verschillende werkgroepen.



The new reality
and tremendous
opportunity of open
source processing

Voor andere processorarchitecturen zijn kritische problemen en bugs gemeld. Is RISC-V veiliger en zo ja, op welke gronden?

Wij denken van wel, op meerdere niveaus. Eerst en vooral, zoals de Stichting blijft benadrukken, heeft RISC-V als technologie een unieke kans om de beveiliging goed te doen. Het heeft geen last van een verleden en het is mogelijk om beveiligingsmechanismen van scratch af te specificeren die rekening houden met alle recente ontdekkingen en ontwikkelingen op dit gebied. Deze voortdurende focus van de Stichting wordt bijvoorbeeld ondersteund door een speciaal Security Technical Committee met verschillende werkgroepen die zich richten op de verschillende beveiligingsaspecten. Vervolgens betekent het open source-karakter van het ecosysteem, dat RISC-V zelf product is van wereldwijde samenwerking, dat ISA volledig transparant is en door meerdere bedrijven op grote schaal wordt getest voordat het uiteindelijk in de specificaties wordt vastgelegd, waardoor de kans op het missen van kritische punten wordt verkleind. Dan is het waarschijnlijk dat het RISC-V ecosysteem in de loop van de tijd een aanzienlijk deel van het volledig open source IP (zoals onze SCR1) zal ontwikkelen, wat de mogelijkheid zou bieden om een vergelijkbaar niveau van transparantie te hebben in de halfgeleiderindustrie die gebruikmaakt van open-source SW. In het algemeen is het RISC-V-ecosysteem naar onze mening een perfecte omgeving voor een waardetoevoegende technologie, waarbij de nadruk ligt op veiligheid. Dit wordt bevestigd door een groot aantal bij de RISC-V-stichting aangesloten bedrijven, die zich richten

op verschillende aspecten van veiligheid.

Verkoperspecifieke instructies zijn een belangrijk kenmerk van RISC-V. Vormt de flexibiliteit van RISC-V een verplichting?

Men heeft het over versnippering, maar als daar goed mee wordt omgegaan, zien wij dat niet als een probleem.

Wat voor producten bieden jullie aan ter ondersteuning van RISC-V?

Als RISC-V IP-specialist richt Syntacore zich op twee dingen. Ten eerste ontwerpen en licentiëren we de SCR_x-familie van de state-of-the-art RISC-V-compatibele processor IP, variërend van minimalistische open source en SHL-gelicenseerde 32bit MCU core SCR1, tot SCR7, onze high-perf 64bit out-of-order APU met maximaal 8 cores SMP-ondersteuning, die we hier op de EW2020-beurs hebben.

Ten tweede bieden we voor al onze basislijn IP een one-stop maatwerkdienst (inclusief compiler- en toolondersteuning en SW-porting), die klanten in staat stelt om echt gedifferentieerde producten te maken.

Zijn er plannen om deze in de toekomst uit te breiden?

Ja, we hebben een volledige routekaart met diverse aanvullingen die later dit jaar gepland zijn, zowel nieuwe IP's als interessante nieuwe functies voor de bestaande productlijn.

Welke richting wilt u met RISC-V opgaan?

Gewoon zo doorgaan. ◀