

RISC-V: Waar gaat de hele hype nou eigenlijk over?

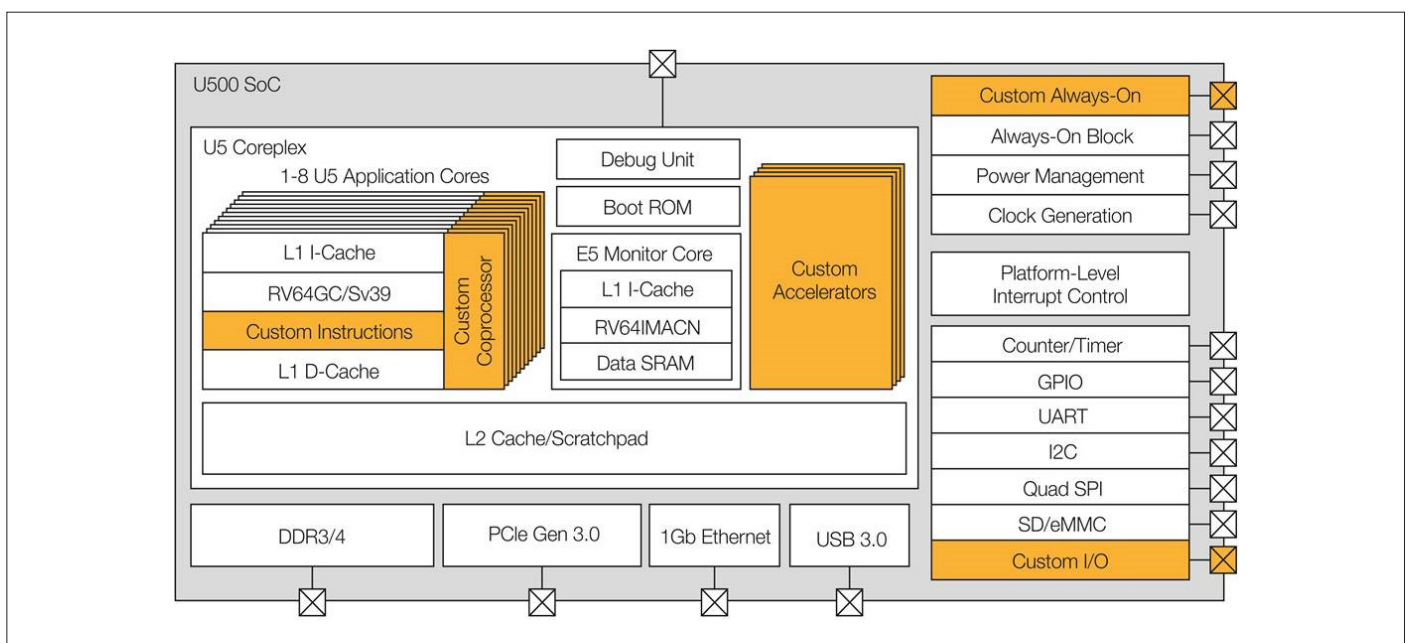
Mark Patrick (Mouser Electronics)

Nieuwe architecturen van de processorinstructieset (ISA's) komen niet zo vaak voor. De open-source RISC-V ISA die binnen de laboratoria van de University of California in Berkeley is ontwikkeld, heeft echter voor veel ophef gezorgd in de embedded-industrie. De veelbesproken RISC-V ISA werd ontwikkeld met als uitgangspunt dat elke ontwerper het kan gebruiken om processorkernen en softwaresamenstellers te creëren. Het project wordt nu geleid door de RISC-V Foundation, met leden die afkomstig zijn van een groot aantal universiteiten en multinationale technologiebedrijven (met name Google, IBM, Microsoft, NVIDIA en Oracle), evenals van chipmakers en startups.

Het doel van RISC-V was om te leren van de fouten van andere processor-ISA's. Stabiliteit is cruciaal: voor de instructieset en de kern, maar ook voor chipontwerpers, compilerbouwers, architecten van besturingssystemen en leveranciers van ontwikkelingstools. Dit is essentieel om zoveel mogelijk engineers te motiveren om een dergelijke open-source-technologie te gebruiken binnen het ecosysteem, waardoor krachtige processorkernen veel toegankelijker en bruikbaar worden. Applicatieontwikkelaars kunnen hun code optimaliseren voor een vaste ISA met minimale geheugenvoetafdruk en stroomverbruik, maar nog steeds schaalbaar en compatibel met toekomstige apparaten. Dit maakt het mogelijk voor ontwikkelaars van processorkernen om te werken aan allerlei verschillende implementaties van de instructieset: van een eenvoudige pijplijn tot pijplijnen met

meerdere statussen en out-of-order-uitvoering. Deze zullen verschillende latencies, afmetingen en stroomverbruik hebben, maar wel allemaal onderliggend compatibel zijn met elkaar en met de tools die zijn opgenomen binnen het ecosysteem.

Het bieden van deze stabiliteit binnen het volledige ecosysteem was een kritisch onderdeel van de nieuwe instructieset. Deze set werd ontworpen met 32-bit, 64-bit en 128-bit adresruimten in het achterhoofd, zodat de onderlinge compatibiliteit kan worden behouden. De architectuur is ook ontworpen met extensies om de aanpasbaarheid te bieden die chipmakers nodig hebben voor differentiatie en voor toekomstige toepassingsscenario's, maar de fundamenteën van de ISA's blijven opzettelijk onaangetaast.



Figuur 1. De U500 64-bit multikern open-source-processor van SiFive.

De 128-bit ISA is met opzet nog ongedefinieerd, omdat er tot op heden nog weinig praktische ervaring is met dergelijke grote geheugencapaciteiten in embedded systemen. Het feit dat de architectuur deze grotere adresruimte zal ondersteunen, benadrukt echter de vooruitstrevende benadering die hier is toegepast. Dit alles betekent dat software die is geschreven voor of geporteerd naar RISC-V altijd zal draaien op alle vergelijkbare RISC-V-kernen, waardoor softwarebeheerders een degelijke basis wordt geboden die hun investeringen in software beschermen. Omdat de ISA open is, kunnen meerdere hardware-implementaties worden ontwikkeld, waardoor softwarearchitecten meer invloed kunnen uitoefenen bij de uiteindelijke implementatie van de hardware.

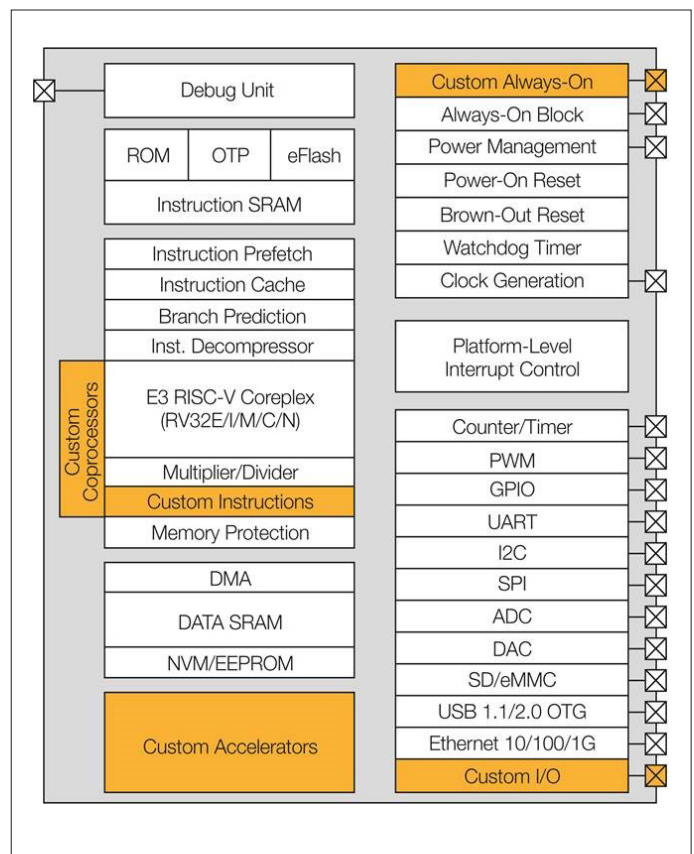
De input aan hardware-ontwerpers maakt de RISC-V-kern meer op software gebaseerd. Dit heeft geleid tot een grote verscheidenheid aan processorkernen die de ISA implementeren en een aantal system-on-chip devices (SoC) die zijn gebaseerd op deze kernen. De kernen zijn ontwikkeld door Codaip, Syntacore, Hex Five en T-Head, terwijl SiFive is gevorderd met een assortiment aan 32-bit en 64-bit SoC's.

SiFive, dat mede werd opgericht door Yunsup Lee (een van de oorspronkelijke makers van RISC-V), heeft de eerste RISC-V-kern geïntroduceerd in 2017 als een familie van SoC-platformen en daardoor ondersteuning geboden voor de kernen en chips. De apparaten worden gebouwd met een 28nm-proces voor een 64-bit multikern Linux-implementatie of 180 nm voor de 32-bit voordelige IoT-markt met diverse randapparatuur.

De Freedom-platformen van het bedrijf bevatten een volledige softwarespecificatie, board-supportpakketten (BSP's) om een besturingssysteem te activeren, ontwikkelboards en basischips, waarmee klanten hun eigen verbeteringen en aanpassingen kunnen creëren. De Freedom U500-serie is een volledig Linux-compatibele embedded toepassingsprocessor met multikern RISC-V CPU's die draait op een snelheid van 1,6 GHz of hoger met ondersteuning voor versnellers en cache-coherentie voor machinaal leren, opslag en netwerken. Dit ondersteunt standaard snelle randapparatuur, waaronder PCIe 3.0, USB 3.0, Gigabit Ethernet en DDR3/DDR4.

De Freedom E300-serie is ontworpen als een embedded microcontroller voor de IoT- en wearables-markt. Op basis van de Freedom E310 bevat de HiFive1 Arduino-compatibele RISC-V-ontwikkelingskit de E31 CPU Coreplex van SiFive, een hoogwaardige 32-bit RV32IMAC-kern die kan draaien op meer dan 320 MHz.

SiFive heeft de RISC-V-instructieset ook gebruikt voor, naar eigen zeggen, 's werelds kleinste embedded processorkernen. De S2-kern IP-serie is een configureerbare kern die zo klein kan zijn als 13.500 gates (in het geval van de RV32E 32-bit versie). De S21 64-bit embedded kern heeft afzonderlijke instructie- en databussen en twee nauw geïntegreerde geheugenbanken (TIM). Hierdoor hebben SoC's een altijd ingeschakelde 32-bit CPU met laag vermogen die kan worden gecombineerd met een eerste klas 64-bit CPU die inschakelt wanneer de toepassingen vragen om verhoogde prestaties (zoals spraakgestuurde slimme apparaten). Dit soort ontwikkelingen spelen in op de groeiende behoefte aan verbonden apparaten met machinaal leren en IoT, waarbij realtime werkbelastingen een enorme



Figuur 2. De E300-serie van open-source 32-bit microcontrollers die de RISC-V ISA gebruiken.

vraag hebben gegenereerd naar sterk verbeterde embedded intelligentie aan de rand.

Het open-source karakter van RISC-V heeft SoC-ontwerp toegankelijk gemaakt voor startups zoals Kendryte, efabless en low RISC, maar de technologie wordt ook gebruikt door de meer reguliere chipleveranciers. Microsemi (nu onderdeel van Microchip) heeft een aantal ontwikkelingsboards geproduceerd voor SiFive, terwijl NXP zijn eigen RISC-V chip heeft. Andes Technology en Greenwave hebben eveneens IC's ontwikkeld rond de ISA. Faraday Technology heeft de ISA gebruikt voor een ASIC-platform voor het ontwerp en de massaproductie van volgende generatie rand-AI en IoT SoC's. Het brengt de RISC-V-kern IP-integratie en SoC-ontwerpverificatie samen en ook een volledig functionele referentie-ontwikkelingskit bestaande uit een realtime besturingssysteem (RTOS) en drivers voor randapparatuur. Dit alles draait op een 55nm-proces voor door batterijen aangedreven randapparaten. Dit benadrukt hoe de fabrikanten van hardware kunnen differentiëren rond een standaard ISA. Faraday heeft dynamische spanning- en frequentieschaling (DVFS), vermogensschakeling en snelle activering van het systeem opgenomen, maar kan de software-bibliotheken en drivers veilig integreren om ervoor te zorgen dat de chip naadloos werkt voor specifieke interface-, detectie- en energiebeheerfuncties.

Tools

Een ander sterk punt van de RISC-V ISA is dat deze kan worden gebruikt met een breed scala aan tools. Microsemi heeft de ISA

De auteur

Mark Patrick kwam in juli 2014 bij Mouser Electronics, nadat hij eerder senior marketing-functies had bekleed bij RS Components. Voordat hij bij RS kwam, werkte Mark acht jaar bij Texas Instruments op het gebied van toepassingsondersteuning en technische verkoop, en hij is cum laude afgestudeerd in elektronica-engineering aan de Universiteit van Coventry.



binnen zijn FPGA's gebruikt met een assortiment aan embedded besturingssystemen, zoals ThreadX van Express Logic, Huawei LiteOS en Micrium μ C/OS-II. De boards bestaan uit de RTG4-ontwikkelingskit, de PolarFire evaluatiekit, etc. Debug-dongles van Microsemi en Olimex, eerste fase bootloaders en meerdere 'zachte' randapparaten zijn eveneens opgenomen. Voorbeelden van drivers, firmware en projecten zijn beschikbaar op GitHub. Een ander toolbedrijf dat profiteert van de stabiliteit is UltraSoC, dat hardware ontwikkelt die kan worden geïntegreerd in een SoC om de activiteit te monitoren. Dit kan worden gebruikt voor effectievere foutopsporing in de chip en zelfs in het veld voor monitoring. Het werkt met Andes door de monitoring-hardware te integreren in de hoogwaardige AndesCore processor-IP en in een AI "supercomputer-on-a-chip" van Esperanto Technologies die duizenden RISC-V-kernen gebruikt. Het engineeringteam van Esperanto wordt geleid door RISC-pionier Dave Ditzel, die geholpen heeft de SPARC RISC-processor te ontwikkelen. Esperanto heeft afgelopen september de RTL voltooid voor een 10-fasen hoogwaardige kern, ET-Maxion genoemd, met gebruikmaking van de RV64GC 64-bit ISA. Voorbeelden worden verwacht in de tweede helft van 2019 en de productie ergens halverwege 2020, evenals een kleinere, meer energie-efficiënte 64-bit kern met de naam ET-Minion. De kern gebruikt een in-order pijplijn met multi-threaded instructies en voegt een vector floating point unit toe die extensies ondersteunt voor graphics en Tensor AI-instructies van Google en allen bedoeld zijn om te worden ingebouwd op basis van een innovatief 7nm-proces. Deze werden gebouwd met een enkele toolchain rond de RISC-V ISA en bevat de test- en verificatietools. De kernen zijn gecombineerd in de supercomputer-on-a-chip die 16 Maxions en 4.096 Minions bevat, draait onder Linux en andere high-level software op de Maxion-kernen, terwijl AI-intensieve werklasten worden gedelegeerd aan de Minions. Dit is allemaal veel gemakkelijker gemaakt door dezelfde ISA te gebruiken voor alle devices, waardoor de waarde van de RISC-V-benadering wordt benadrukt.

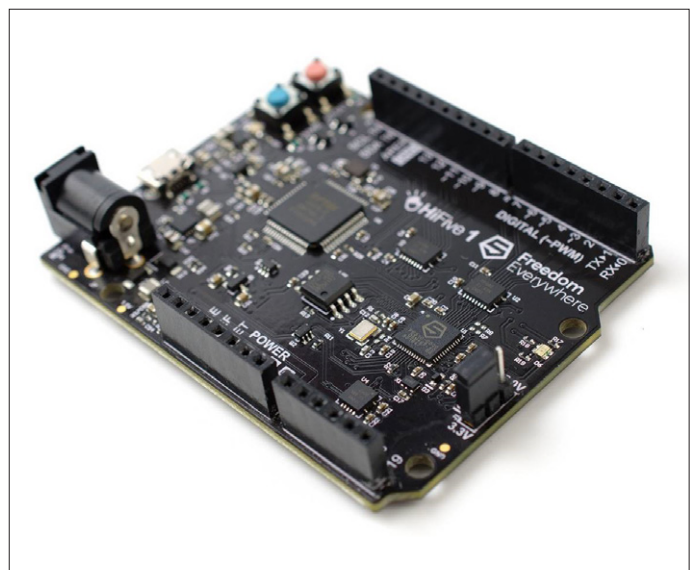
RISC-V uitdagingen

Hoewel er aanzienlijke vooruitgang is geboekt met betrekking tot de ontwikkeling en verspreiding van RISC-V, worden er obstakels voorzien. Onderzoekers bij Princeton University hebben een aantal tekortkomingen ontdekt in de RISC-V open-source-processor-kern die zij als significant beschouwen. Zij vonden meer dan 100 fouten ten aanzien van onjuiste opslag opslag en ophalen van informatie uit het geheugen in varianten van de RISC-V-processorarchitectuur die, indien niet gecorrigeerd, kunnen leiden tot problemen met software die

draait op RISC-V-chips. De RISC-V Foundation heeft aangegeven dat de fouten geen invloed hebben op de meeste versies van RISC-V, maar problematischer kunnen zijn voor systemen met hogere prestaties.

Met een gewone, vaste ISA in 32-bit, 64-bit en zelfs 128-bit (wanneer deze worden geïntroduceerd) adresruimten, kunnen kernontwikkelaars zich richten op de specifieke processorimplementaties, of dit nu voor onderzoeksprojecten is, IoT-knooppunten of een supercomputer-on-a-chip. Deze gebruiken allemaal dezelfde compilers, dezelfde ontwikkeltool en dezelfde tools voor debuggen, waardoor fragmentatie wordt geminimaliseerd en bedrijven de prestatiebenchmarks kunnen blijven verhogen in plaats van zich zorgen te maken over het onderhoud van meerdere softwareproducten voor meerdere kernen. Dit uiteraard allemaal met een open-source aanpak waardoor verbeteringen kunnen worden doorgevoerd in de industrie. Extensies maken differentiatie en optimalisatie mogelijk, in het bijzonder met betrekking tot beveiliging, zonder de stabiliteit van het ecosysteem van de tool in gevaar te brengen. Op deze manier stelt RISC-V ontwikkelaars van hardware in staat om te focussen op innovatie, gedreven door de softwarebehoeften, en te voldoen aan de vereisten van kosten, energie, beveiliging en prestaties van eindgebruikers. ◀

200011-03



Figuur 3. De HiFive1 RISC-V-ontwikkelkit.